

## ⑪ 公開特許公報 (A) 昭61-174197

⑪ Int.Cl.  
C 30 B 25/18  
// H 01 L 21/205

識別記号

⑩ 庁内整理番号  
8518-4G  
7739-5F

⑪ 公開 昭和61年(1986)8月5日

審査請求 未請求 発明の数 1 (全3頁)

⑫ 発明の名称 エピタキシャル・ウエーハの製造方法

⑬ 特願 昭60-11972

⑭ 出願 昭60(1985)1月25日

⑮ 発明者 高井 法平 山形県西置賜郡小国町大字小国町378 東芝セラミックス  
株式会社小国製造所内

⑯ 発明者 高橋 捷一 山形県西置賜郡小国町大字小国町378 東芝セラミックス  
株式会社小国製造所内

⑰ 発明者 伏井 邦彦 山形県西置賜郡小国町大字小国町378 東芝セラミックス  
株式会社小国製造所内

⑱ 出願人 東芝セラミックス株式会社 東京都新宿区西新宿1丁目26番2号

⑲ 代理人 弁理士 高雄次郎

## 明細書

## 1. 発明の名称

エピタキシャル・ウエーハの製造方法

## 2. 特許請求の範囲

CZ法による通常の不純物濃度のSi基板にその含有不純物と同一の不純物を拡散して拡散層を形成する前あるいは後にイントリンシック・ゲッターリング処理を施し、前記Si基板の表面に酸化被膜を形成するとともに、その片面の酸化被膜を鏡面研磨して除去した後、前記研磨面にSi基板と同一導電形のエピタキシャル層を形成することを特徴とするエピタキシャル・ウエーハの製造方法。

## 3. 発明の詳細な説明

## [産業上の利用分野]

本発明は、ダイナミックRAMやCMOS等の高密度デバイスの製造に用いられるエピタキシャル・ウエーハの製造方法に関する。

## [従来の技術]

従来、エピタキシャル・ウエーハは、デバイスの直列抵抗を低下させるため、CZ法(チョクラルスキー法)による高不純物濃度(ホウ素、燐、アンチモン等のドープ)により不純物濃度 $10^{18}$ ~ $10^{19}$ 個/ $\text{cm}^3$ のSi基板を用い、このSi基板の片面を鏡面研磨した後、Si基板の表面に酸化法またはCVD法によりオートドープ防止用の酸化被膜を形成するとともに、鏡面側の酸化被膜を剥離し、しかる後鏡面にSi基板と同一導電形にしてかつ比抵抗の高いエピタキシャル層を形成する方法によって製造されている。

## [発明が解決しようとする問題点]

しかし、上記従来の製造方法によれば、結晶引上げの段階から不純物濃度の制御を行わなければならぬとともに、基板との膜厚差大なことによりエピタキシャル層界面での格子不整の問題が生じ、またかかる方法によって製造されたエピタキシャル・ウエーハをデバイス製造プロセスに投入した際、ゲッタ効果を有さないため、製造プロセス中で鉛金属等によって汚染される等の問題があ

る。

[問題点を解決するための手段]

本発明は、上記問題点を解決するため、CZ法による通常の不純物濃度( $10^{14} \sim 10^{16}$ 個/cm<sup>3</sup>)のSi基板にその含有不純物と同一の不純物を拡散して拡散層を形成する前あるいは後にイントリンシック・ゲッタリング処理を施し、前記Si基板の表面に酸化被膜を形成するとともに、その片面の酸化被膜を鏡面研磨して除去した後、前記研磨面にSi基板と同一導電形のエピタキシャル層を形成するものである。

[作用]

通常の不純物濃度のSi基板にその含有不純物と同一の不純物の拡散層が形成されるとことにより、Si基板の表面近傍に比抵抗の十分低い層が形成される。また、イントリンシック・ゲッタリング処理により、Si基板中の表面と裏面の拡散層間に酸素析出核が形成されるとともに、このエピタキシャル・ウェーハをデバイス製造プロセスに投入することにより、内部の酸素析出核が汚染

不純物をゲッタする微小欠陥へ成長する。

[実施例]

以下、本発明の実施例を図面を参照して説明する。

第1図a, b, c, d, e, fは本発明の第1実施例を示す工程図で、この実施例によりエピタキシャル・ウェーハを製造するには、CZ法によって製造された通常の不純物濃度( $10^{14} \sim 10^{16}$ 個/cm<sup>3</sup>)のSi基板1を用い(第1図a参照)、このSi基板1にイントリンシック・ゲッタリング処理を施し、Si基板1の内部に酸素析出核2を形成する(第1図b参照)。このとき、適度なイントリンシック・ゲッタリング効果を得るためのSi基板1は、含有酸素濃度が $1.0 \times 10^{18}$ 個/cm<sup>3</sup>(赤外分光計吸収係数を $\alpha$ とした場合、 $\alpha \times 3.0 \times 10^{17}$ の換算濃度)以上であることが必要である。

ついで、Si基板1の表面および表面近傍に、このSi基板1に含有される不純物と同一の不純物を拡散して拡散層3を形成する(第1図c

参照)。この拡散層3の形成により、Si基板1の表面およびその近傍は、高不純物濃度( $10^{18} \sim 10^{19}$ 個/cm<sup>3</sup>)のSi基板と同程度の導電率となる。

拡散層3の形成後、後述するエピタキシャル層形成時、背面(図において下面)からのオートドーピング現象を抑制するため、Si基板1の表面に酸化被膜(SiO<sub>2</sub>)4を酸化法または裏面CVD法により形成する(第1図d参照)。その後その片面(図において上面)の酸化皮膜あるいは裏面CVD時の表面まわり込み突起物や残存4を鏡面研磨して除去する(第1図e参照)。

そして、Si基板1の研磨面に、このSi基板1と同一導電形にしてかつ高い比抵抗をもつエピタキシャル層5を、水素還元法や熱分解法等により形成する(第1図f参照)と、所望のエピタキシャル・ウェーハが完成する。

第2図a, b, c, d, eは本発明の第2実施例を示す工程図で、この実施例によりエピタキシャル・ウェーハを製造するには、前述した第1実

施例の場合と同様に、CZ法によって製造された通常の不純物濃度のSi基板1を用い(第2図a参照)、このSi基板1の表面および表面近傍に、Si基板1に含有される不純物と同一の不純物を拡散して拡散層3を形成する(第2図b参照)。この拡散層3の形成により、Si基板1の表面およびその近傍は、従来の高不純物濃度のSi基板と同程度の導電率となる。

ついで、Si基板1にイントリンシック・ゲッタリング処理を施してSi基板1の内部に酸素析出核2を形成するとともに、Si基板1の表面にオートドーピング現象抑制用の酸素被膜(SiO<sub>2</sub>)4を形成する(第2図c参照)。

そして、Si基板1の片面の酸化被膜あるいは裏面CVD時の表面まわり込み突起物や残存4を鏡面研磨して除去した(第2図d参照)後、この研磨面に、Si基板1と同一導電形にしてかつ高い比抵抗をもつエピタキシャル層5を水素還元法等により形成する(第2図e参照)と、所望のエピタキシャル・ウェーハが完成する。

なお、各実施例におけるイントリンシック・ゲッタリング処理は、エピタキシャル・ウェーハを用いて製造されるデバイスの種類に応じて、低温熱処理(窒素ガス中において500~900℃の温度で4~32時間加熱)により酸素析出核2を形成する場合、または低温熱処理(500~900℃)による酸素析出核2の形成後、高温熱処理(窒素ガス中において1000~1100℃の温度で数時間加熱)により酸素析出核2をある程度微小欠陥に成長させる場合かのいづれかの方法がとられる。本発明における重要なポイントであるイントリンシック・ゲッタリング処理での高温での酸素の外方拡散処理は、通常温度基板に拡散層3を形成する工程をもって代替可能であることが判っている。すなわち、本発明における拡散層形成工程(ホウ素、燐、アンチモン等を1100~1250℃の温度で拡散し、10~20μmの拡散層を形成する工程)は、基板表面近傍の酸素を外方拡散するに十分な条件であり、また、実験でも拡散層中には微小欠陥は全く発生

しないことを確かめている。

また、イントリンシック・ゲッタリング処理によって形成された酸素析出核2は、デバイス製造プロセス中において微小欠陥に成長するとともに製造プロセス中に混入する重金属等の汚染物をゲッタするものであり、かつ微小欠陥の外周辺には無欠陥層が形成されるものである。

#### 【発明の効果】

以上のように本発明によれば、従来技術に比し以下に述べる種々の効果が得られる。

- (1) 通常の不純物濃度のSi基板を用いることができ、単結晶育成時の不純物の濃度調節を容易に行うことができる。
- (2) デバイス製造プロセス中における重金属等による汚染をエピタキシャル・ウェーハ自身でゲッタすることができ、デバイス形成領域の汚染を防止することができる。
- (3) デバイスのラッチアップを防止できるとともに、キャリアの不要な拡散によるデバイスの誤動作等を改善することができる。

#### 4. 図面の簡単な説明

第1図a, b, c, d, e, fおよび第2図a, b, c, d, eはそれぞれ本発明の第1実施例および第2実施例を示す工程図である。

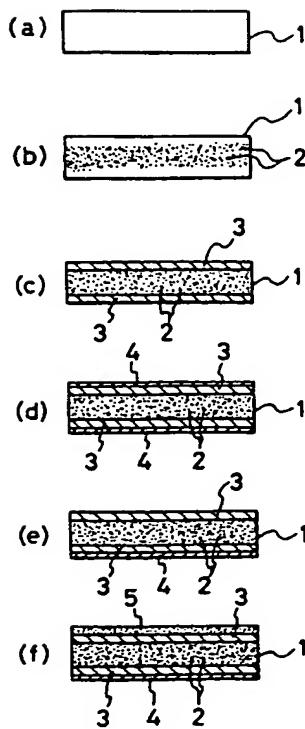
1…Si基板	2…酸素析出核
3…拡散層	4…酸化被膜
5…エピタキシャル層	

発明者 高井 法平  
発明者 高橋 捷一  
発明者 伏井 邦彦

出願人 東芝セラミックス株式会社

代理人 弁理士 高雄次

第1図



第2図

